

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-064047

(43)Date of publication of application : 28.02.2002

(51)Int.Cl.

H01L 21/027  
G03F 7/40

(21)Application number : 2000-250719 (71)Applicant : SONY CORP

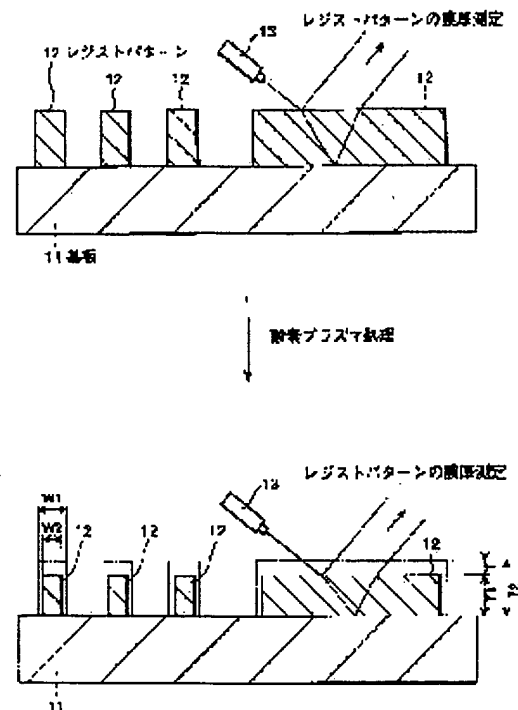
(22)Date of filing : 22.08.2000 (72)Inventor : TAKAHASHI HIROSHI

## (54) METHOD AND DEVICE FOR MANUFACTURING SEMICONDUCTOR DEVICE

### (57)Abstract:

PROBLEM TO BE SOLVED: To control the deformation of a resist pattern with high accuracy by indirectly measuring the end point of a resist deforming process.

SOLUTION: A method of manufacturing semiconductor device including a step of forming a resist pattern 12 on a substrate 11 and another step of forming a finer resist pattern than the pattern 12 by deforming the pattern 12 also includes a step of finding the deformation of the pattern 12 by detecting the variation of the film thickness or optical constant of the pattern 12 and another step of terminating the deformation of the pattern 12 by discriminating the deformation of the pattern 12.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's  
decision of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-64047

(P2002-64047A)

(43) 公開日 平成14年2月28日 (2002.2.28)

(51) Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード\* (参考)

H 0 1 L 21/027

G 0 3 F 7/40

5 1 1 2H 0 9 6

G 0 3 F 7/40

5 1 1

H 0 1 L 21/30

5 7 0 5 F 0 4 6

5 1 4 E

審査請求 未請求 請求項の数 5 O L (全 7 頁)

(21) 出願番号 特願2000-250719 (P2000-250719)

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(22) 出願日 平成12年8月22日 (2000.8.22)

(72) 発明者 高橋 洋

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

(74) 代理人 100086298

弁理士 船橋 國則

Fターム (参考) 2H096 AA25 HA05

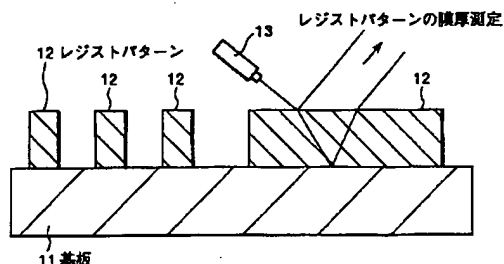
5F046 AA17 AA28

(54) 【発明の名称】 半導体装置の製造方法および半導体製造装置

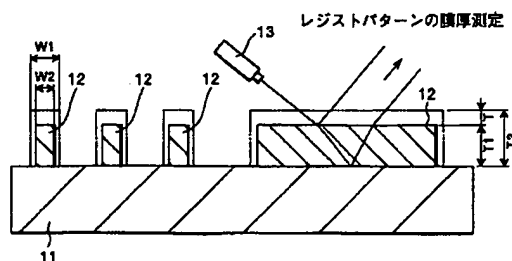
(57) 【要約】

【課題】 レジスト変形プロセスにおけるプロセスの終点を間接的な測定によって判断して、レジストパターン変形量の高精度な制御を可能にする。

【解決手段】 基板11上にレジストパターン12を形成する工程と、レジストパターン12の形状を変形させることにより処理前のレジストパターン12よりも微細なレジストパターンを形成する工程とを備えた半導体装置の製造方法において、レジストパターン12の膜厚の変化量もしくは光学定数の変化量を検出することでレジストパターン12の変形量を求める工程と、変形量を判断してレジストパターン12の変形を終点させる工程とを備えている。



酸素プラズマ処理



## 【特許請求の範囲】

【請求項1】 基板上にレジストパターンを形成する工程と、

前記レジストパターンの形状を変形させることにより前記レジストパターンよりも微細なレジストパターンを形成する工程とを備えた半導体装置の製造方法において、前記レジストの膜厚の変化量もしくは光学定数の変化量を検出することで前記レジストパターンの変形量を求める工程と、

前記変形量を判断して前記レジストパターンの変形を終点させる工程とを備えたことを特徴とする半導体装置の製造方法。

【請求項2】 予め測定した前記レジストパターンの線幅寸法に基づいて必要な変形量を算出する工程と、前記算出した変形量に対応した前記レジストパターンの膜厚変化量もしくは光学定数の変化量を前記終点とすることを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 基板上に形成したレジストパターンをプラズマ処理することで前記レジストパターンを変形させる半導体製造装置において、前記プラズマ処理中の前記レジストパターンの膜厚変化もしくは光学定数の変化を測定する測定器を備えたことを特徴とする半導体製造装置。

【請求項4】 基板上に形成したレジストパターンを加熱処理することで前記レジストパターンを変形させる半導体製造装置において、前記加熱処理中の前記レジストパターンの膜厚変化もしくは光学定数の変化を測定する測定器を備えたことを特徴とする半導体製造装置。

【請求項5】 基板上に形成したレジストパターンを変形処理する半導体製造装置において、前記レジストパターンの膜厚変化もしくは光学定数の変化を測定する測定器を設けたチャンバを備えたことを特徴とする半導体製造装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法および半導体製造装置に関し、詳しくはレジストパターンを変形させて微細レジストパターンを形成する際の変形量の終点を検出して、微細レジストパターンを形成する半導体装置の製造方法および半導体製造装置に関する。

## 【0002】

【従来の技術】半導体装置の微細化に対応するため、露光装置やマスク作製技術の進歩は著しいものがある。例えば、光源の短波長化、レンズの高NA化等の装置の高性能化、位相シフト法や斜め入射露光のような超解像技術等があげられる。

【0003】そして上記技術をもってしても形成できな

いような微細パターンは、レジストの変形技術を用いて形成されている。レジストの変形技術とは、レジストパターンの幅を太くする、もしくは狭くするように加工処理を施すことである。具体的には、以下に説明する技術がある。

【0004】1. 酸素プラズマ処理を用いてレジストパターンを狭くする技術、すなわち、図8に示すように、基板111上に形成したレジストパターン112に対して酸素プラズマ処理を施して、レジストパターン112の幅を狭くする技術。

【0005】2. 加熱処理を用いてレジストパターンを太くする技術、すなわち、図9に示すように、基板111上に形成したレジストパターン122に対して加熱処理を施して、レジストパターン122を流動（フロー）させて横方向に広げることによってレジストパターン122の幅を広くする技術。

【0006】3. 樹脂とレジストとを反応させてレジストパターンを太くする技術、すなわち、図10に示すように、基板111上に形成したレジストパターン132を覆う状態に樹脂133を形成した後、加熱処理を施して、レジストパターン132と樹脂との間に反応層を形成し、その後樹脂を除去して、反応層134の分だけレジストパターン132の幅を広くする技術等があげられる。

## 【0007】

【発明が解決しようとする課題】しかしながら、上記技術の問題点はプラズマ装置や熱処理装置の安定性、もしくはレジストの放置時間のばらつき等により、レジスト変形量が必ずしも安定せず、最終的に所望の線幅が得られない不良が発生する可能性があることである。この不安定さを吸収するためには、ロット毎、ウェハ毎に、プラズマ処理や熱処理の時間をプロセス中に調節する必要があるが、従来の技術ではこのような処理を行う時間、装置、レジストの状態によらず固定されており、ばらつきを吸収する手段は存在していない。また、実際に変形量を測定するには、電子顕微鏡による観察を行うより方策がなく、製造工程として非常に手間の係る作業を必要としていた。

## 【0008】

【課題を解決するための手段】本発明は、上記課題を解決するためになされた半導体装置の製造方法および半導体製造装置の製造方法および半導体製造装置である。

【0009】本発明の半導体装置の製造方法は、基板上にレジストパターンを形成する工程と、前記レジストパターンの形状を変形させることにより前記レジストパターンよりも微細なレジストパターンを形成する工程とを備えた半導体装置の製造方法において、前記レジストの膜厚の変化量もしくは光学定数の変化量を検出することで前記レジストパターンの変形量を求める工程と、前記変形量を判断して前記レジストパターンの変形を終点さ

## 3

せる工程とを備えている。

【0010】上記半導体製造装置の製造方法では、レジストの膜厚の変化量もしくは光学定数の変化量を検出することでレジストパターンの変形量を求める工程を、レジストパターンを変形させているときに行うことによって、レジストパターンの変形量を判断し、このレジストパターンの変形を終点とさせることが可能になる。よって、レジストパターンを正確な寸法に変形させることが可能になる。このように、レジストの変形量を直接測定するのではなく、レジスト膜厚やレジストの光学定数

(例えば複素屈折率、吸収率等)の変化を検出することによって、レジスト変形量が間接的に測定される。

【0011】本発明の第1の半導体製造装置は、基板上に形成したレジストパターンをプラズマ処理するプラズマ処理装置において、前記プラズマ処理中の前記レジストパターンの膜厚変化もしくは光学定数の変化を測定する測定器を備えたものである。

【0012】上記第1の半導体製造装置では、測定器によって、レジスト膜厚やレジストの光学定数(例えば複素屈折率、吸収率等)の変化を検出することによって、レジストの変形量が間接的に測定される。そのため、その変化量を判断することによって、レジスト変形プロセスの終点を確認し、レジスト変形プロセスを終了させることが可能になる。

【0013】本発明の第2の半導体製造装置は、基板上に形成したレジストパターンを加熱処理する加熱処理装置において、前記加熱処理中の前記レジストパターンの膜厚変化もしくは光学定数の変化を測定する測定器を備えたものである。

【0014】上記第2の半導体製造装置では、測定器によって、レジスト膜厚もしくはレジストの光学定数(例えば複素屈折率、吸収率等)の変化を検出することによって、レジストの変形量が間接的に測定される。そのため、その変化量を判断することによって、レジスト変形プロセスの終点を確認し、レジスト変形プロセスを終了させることが可能になる。

【0015】第3の半導体製造装置は、基板上に形成したレジストパターンを変形処理する半導体製造装置において、前記レジストパターンの膜厚変化もしくは光学定数の変化を測定する測定器を設けたチャンバを備えたものである。

【0017】この第3の半導体製造装置では、測定器を備えたチャンバで、レジストパターンの光学定数の変化もしくは膜厚変化を検出することにより、レジストの変形量が間接的に測定される。そのため、その変化量を判断することによって、レジスト変形プロセスの終点を確認し、レジスト変形プロセスを終了させることが可能になる。

【0018】

## 4

【発明の実施の形態】本発明の半導体装置の製造方法に係る第1の実施の形態を、図1の概略構成図によって説明する。図1では、酸素プラズマによる加工方法に対して本発明の方法を適用した例を説明する図である。

【0019】図1に示すように、基板11上に形成されたレジストパターン12を酸素プラズマ処理によって細く加工する際に、分光エリプソメータ13でレジストパターン12の膜厚を測定する。

【0020】プラズマ処理を開始する前のレジストパターン12の膜厚 $T_1$ と、プラズマ処理中に測定したレジストパターン12の膜厚 $T_2$ との差 $T_1 - T_2$ がこのプロセスで減少したレジスト膜厚差(レジスト膜厚の減少量) $T$ となる。一方、このプラズマ処理では、レジストパターン12の線幅も減少する。プラズマ処理前の線幅を $W_1$ 、プラズマ処理中の線幅を $W_2$ とすると、このプロセス中の線幅減少量は $W_1 - W_2 = W$ となる。このプロセスにおける所望の線幅減少量 $W$ は、レジスト膜厚の減少量 $T$ にほぼ比例するため、これを検出すれば所望の線幅に達したときにレジスト加工プロセスを停止することが可能になる。この終点検出は、レジスト膜厚の減少量と線幅の減少量とは相関関係があることを利用している。

【0021】次に、本発明の第1の半導体装置に係る実施の形態を、図2の概略構成図によって説明する。図2では、同一チャンバ内で、レジストパターンの膜厚の測定とプラズマ処理とを同時に行う形態の半導体製造装置を例示する。

【0022】図2に示すように、半導体製造装置60のプロセスチャンバ61内にはレジストパターンが形成された基板11を載置するチャック62が設置されている。このチャック62は、例えば静電チャックで構成されている。またチャック62の基板載置面に対向する位置には、電極63が設置されている。さらに電極63には、プラズマに対して障害にならない位置に、レジストパターンの膜厚もしくは光学定数を測定する測定器64が設置されている。この測定器64は、例えばエリプソメータで構成することができる。

【0023】上記第1の半導体製造装置60では、発生するプラズマに対して障害にならない位置に測定器64を設置する必要があるため、測定点数を多く設けることはできない。しかしながら、プロセスの終点をリアルタイムで制御できるため、効果的にプロセスの調整を行うことが可能となる。また、測定結果を踏まえて追加処理を行うことにより、基板面内のレジストパターン寸法分布を解消する方向で、半導体製造装置にフィードバックをかけることが可能になる。

【0024】したがって、上記第1の半導体製造装置60は、前記図1によって説明した半導体装置の製造方法を実施することができる。

【0025】次に、本発明の半導体装置の製造方法に係

る第2の実施の形態を、図3の概略構成図によって説明する。図3では、加熱処理を用いてレジストパターンを太くする技術に対して本発明の方法を適用した例を説明する図である。

【0026】図3に示すように、基板21上に形成されたレジストパターン22を加熱（フロー）処理によって太く加工する際に、分光エリプソメータ23でレジストパターン22の膜厚を測定する。

【0027】加熱処理を開始する前のレジストパターン22の膜厚 $T1$ と、加熱処理中に測定したレジストパターン22の膜厚 $T2$ との差 $T1-T2$ がこのプロセスで減少したレジスト膜厚差（レジスト膜厚の減少量） $T$ となる。一方、このプラズマ処理では、レジストパターン12の線幅が太くなる。

【0028】すなわち、レジストパターン22の横方向の広がり $E$ は縦方向（膜厚方向）の縮み $S$ によってもたらされるため、一定量の広がりを得るためのレジスト膜厚の減少量も一定となるという原理に基づいている。

【0029】加熱処理前の線幅を $W1$ 、加熱処理中の線幅を $W2$ とすると、このプロセス中の線幅増加量は $W1-W2=W$ となる。このプロセスにおける所望の線幅増加量 $W$ は、レジスト膜厚の減少量 $T$ にほぼ比例するため、これを検出すれば所望の線幅に達したときにレジスト加工プロセスを停止することが可能になる。

【0030】次に、本発明の第2の半導体製造装置に係る第1の実施の形態を、図4の概略構成図によって説明する。図4では、同一チャンバ内で、レジストパターンの膜厚の測定と加熱処理とを同時に行う形態の半導体製造装置を例示する。

【0031】図4に示すように、半導体製造装置70のプロセスチャンバ71内にはレジストパターンが形成された基板21を載置する載置部72が設置されている。上記プロセスチャンバ71は、例えば石英チャンバで構成されている。またプロセスチャンバ71の下方には、加熱源73が設置されている。この加熱源73は、例えばランプで構成されている。さらに、載置部72に載置される基板21の上方には、レジストパターンの膜厚もしくは光学定数を測定する測定器74が設置されている。この測定器74は、例えばエリプソメータからなり、複数箇所に設けてもよい。

【0032】上記第2の半導体製造装置70では、測定点数を多く設けることができ、プロセスの終点をリアルタイムで制御できるため、効果的にプロセスの調整を行うことが可能となる。また、測定結果を踏まえて追加処理を行うことにより、基板面内のレジストパターン寸法分布を解消する方向で、半導体製造装置にフィードバックをかけることが可能になる。

【0033】したがって、上記第2の半導体製造装置70は、前記図3によって説明した半導体装置の製造方法を実施することができる。

【0034】上記半導体製造装置70では、パターン形成された基板21を裏面からランプ73で加熱し、同時にレジストパターンの膜厚を表面から測定器74（分光エリプソメータ）を用いて測定する。このとき、例えば、基板温度は150℃程度となっている。レジストパターンの膜厚変化量が所望の値に達した時点でランプ73を消灯し、基板21を冷却することでレジストパターンの変形を停止させる。すなわち、加熱によるレジスト変形プロセスの終点とする。

【0035】次に、本発明の第2の半導体製造装置に係る第2の実施の形態を、図5の概略構成図によって説明する。

【0036】図5に示すように、半導体製造装置80は、前記図4によって説明した半導体製造装置70の加熱源73を分割して制御するようにしたものであり、図示した例では、プロセスチャンバ71の下方に複数の加熱源73（73a～73g）を設け、それぞれの加熱源73に対向する位置に測定器74（74a～74g）を設けることにより、基板21面内を独立に加熱し、終点させることを可能としている。

【0037】次に、本発明の半導体装置の製造方法に係る第3の実施の形態を、図6の概略構成図によって説明する。図6では、加熱処理を用いてレジストパターンを樹脂と反応させて太くする技術に対して本発明の方法を適用した例を説明する図である。

【0038】図6に示すように、基板31上に形成されたレジストパターン32を加熱処理によって、加熱処理によって、レジストパターン32から出る酸が樹脂33と反応してレジストと樹脂との界面に新たな反応層34が形成される。この反応層34は、レジストとも樹脂とも光学定数（例えば複素屈折率、吸収率等）が異なるため、測定器35（例えば分光エリプソメータ）で検出される信号は2層膜から3層膜のものに変化する。このとき、光学定数の変化の信号から、反応層34の膜厚を換算して求めることが可能である。そして、終点を制御するには、反応層34が所望の膜厚に達した時点でプロセスを停止すればよい。

【0039】半導体装置の製造方法に係る第3の実施の形態を適用する半導体製造装置としては、上記図4、図5によって説明したものを用いることが可能である。

【0040】次に、本発明の第3の半導体製造装置に係る実施の形態を、図7の概略構成図によって説明する。図では、プロセスチャンバと測定用チャンバとを備えた半導体製造装置を例示する。

【0041】図7に示すように、測定用チャンバ91と第1、第2のプロセスチャンバ92、93を分離して備え、それぞれのチャンバはインターフェースチャンバ94に接続されている。したがって、測定とプロセス処理を交互に行うことが可能になる。上記第1、第2のプロセスチャンバ92、93は、内部に基板11が載置され

るチャック（例えば静電チャック）96を備え、それに対向する位置に電極97を備え、その間にプロセスガス（例えば酸素）が導入されるようになっている。

【0042】例えば、プラズマ処理の場合でプロセスを説明する。まず、測定用チャンバ91で、プラズマ処理に入る前に、基板に形成されたレジストパターン22の膜厚を測定する。次いで第1のプロセスチャンバ92に基板を搬入して、例えば処理時間を固定してプラズマ処理を行う。次いで、第1のプロセスチャンバ92で処理された基板を一旦測定用チャンバ91に移して、レジストパターン22の膜厚を測定する。測定した膜厚が所定の厚よりも厚い場合には、厚い分に応じて追加処理時間を決定し、第2のプロセスチャンバ93に基板を搬入して追加処理を行う。ここでプロセス処理量の不足の程度に応じて第2のプロセスチャンバ93での追加処理時間が調整される。

【0043】上記構成では、プロセス処理を行う第1、第2のプロセスチャンバ92、93に対して測定系が障害にならないため、測定用チャンバ91で多数点の測定を行うことが可能である。なお、第2のプロセスチャンバ93の電極を分割すれば、レジスト膜厚の減少量が不足した部分だけ選択的に追加処理することも可能である。また、測定結果を踏まえて追加処理を行うことにより、基板面内のレジストパターン寸法分布を解消する方向で、半導体製造装置にフィードバックをかけることが可能になる。

#### 【0044】

【発明の効果】以上、説明したように本発明の半導体装置の製造方法によれば、レジストの膜厚の変化量もしくは光学定数の変化量を検出することでレジストパターンの変形量を求める工程を、プロセス中に行うことによって、レジストパターンの変形量を判断して、このレジストパターンの変形を終点させることができる。よって、レジスト変形プロセスを、時間固定処理から、モニタによる終点検出処理に変更することが可能となり、プロセスの不安定さを解消することができ、レジスト変形プロセスの加工精度を向上させることができる。また、加工精度の向上により、レジスト変形プロセスの完成度が向

上し、さらなる微細化を進めることが可能となる。

【0045】本発明の第1～第3の半導体製造装置は、測定器によって、レジスト膜厚やレジストの光学定数（例えば複素屈折率、吸収率等）の変化を検出することによって、レジストの変形量が間接的に測定できる。そのため、その変化量を判断することによって、レジスト変形プロセスの終点を確認し、レジスト変形プロセスを終了させることが可能になる。よって、レジスト変形プロセスを、時間固定処理から、モニタによる終点検出処理に変更することが可能となり、プロセスの不安定さを解消することができ、レジスト変形プロセスの加工精度を向上させることができる。また、加工精度の向上により、レジスト変形プロセスの完成度が向上し、さらなる微細化を進めることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の半導体装置の製造方法に係る第1の実施の形態を示す概略構成図である。

【図2】本発明の第1の半導体製造装置に係る実施の形態を示す概略構成図である。

【図3】本発明の半導体装置の製造方法に係る第2の実施の形態を示す概略構成図である。

【図4】本発明の第2の半導体製造装置に係る第1の実施の形態を示す概略構成図である。

【図5】本発明の第2の半導体製造装置に係る第2の実施の形態を示す概略構成図である。

【図6】本発明の半導体装置の製造方法に係る第3の実施の形態を示す概略構成図である。

【図7】本発明の第3の半導体製造装置に係る実施の形態を示す概略構成図である。

【図8】従来のレジストパターンの変形プロセスを示す概略構成断面図である。

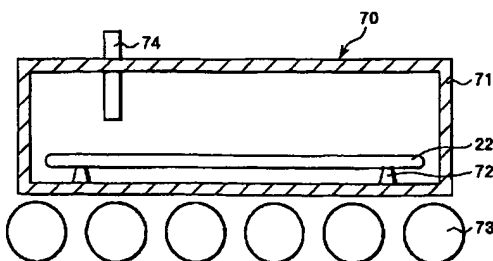
【図9】従来のレジストパターンの変形プロセスを示す概略構成断面図である。

【図10】従来のレジストパターンの変形プロセスを示す概略構成断面図である。

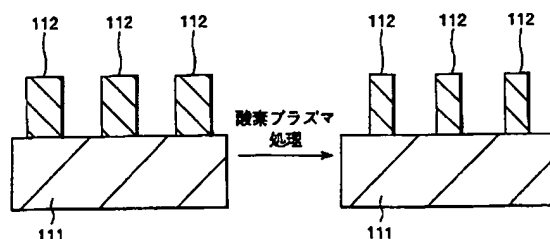
#### 【符号の説明】

11…基板、12…レジストパターン

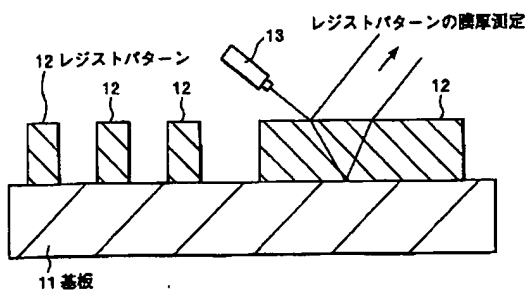
【図4】



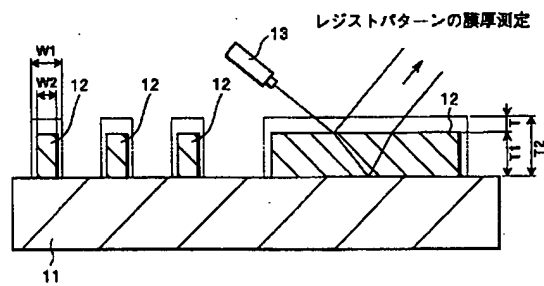
【図8】



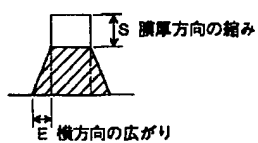
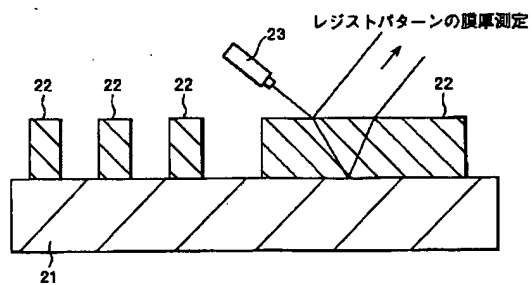
【図1】



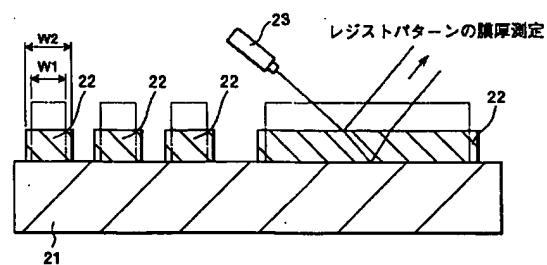
酸素プラズマ処理



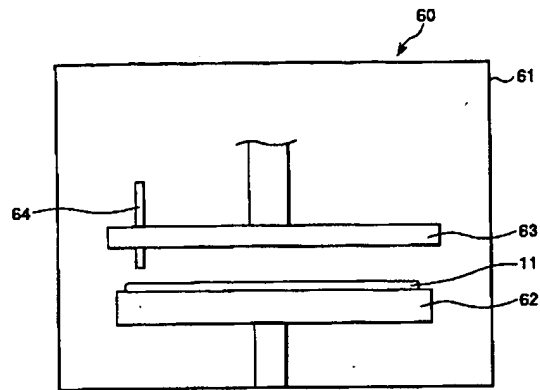
【図3】



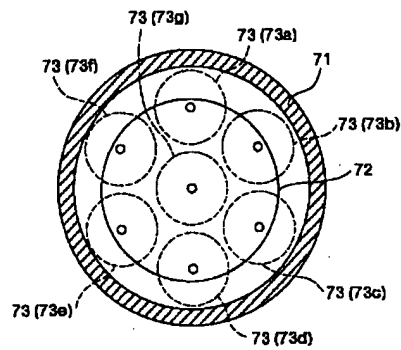
加熱（フロー）処理



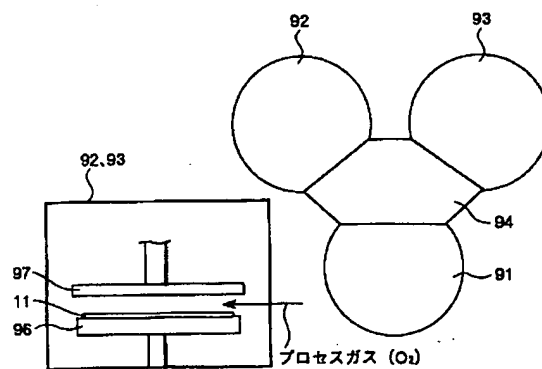
【図2】



【図5】

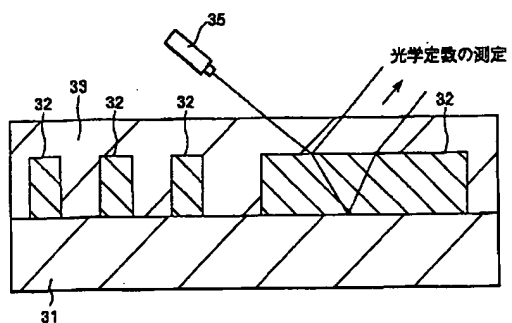


【図7】

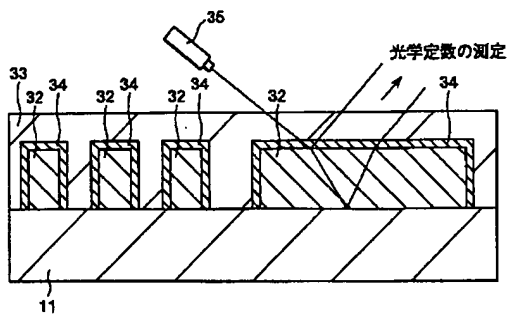




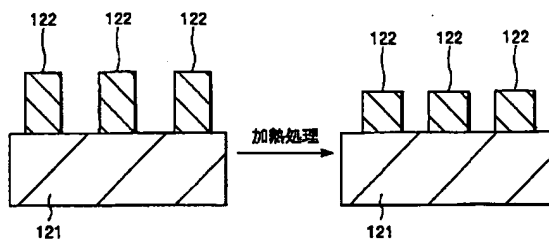
【図6】



加熱処理

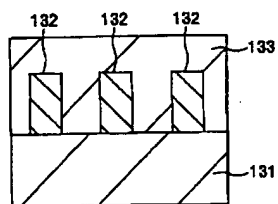


【図9】

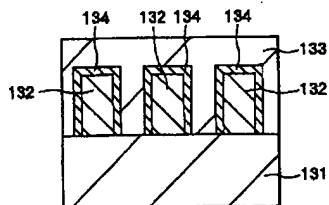


加熱処理

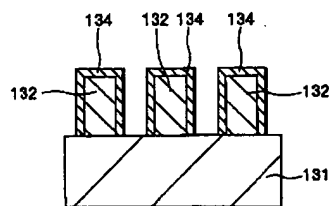
【図10】



加熱処理



樹脂除去



加熱処理